PATENT ABSTRACTS OF JAPAN

(11)Publication number:

10-050070

(43)Date of publication of application: 20.02.1998

(51)Int.CI.

G11C 11/417 G11C 11/409 H01L 27/10 H03K 19/0175

(21)Application number: 08-206716

(71)Applicant: NEC NIIGATA LTD

(22)Date of filing:

06.08.1996

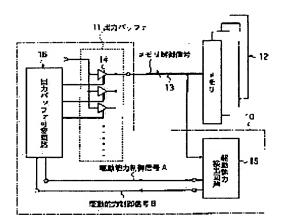
0. ..

(72)Inventor: IIZUKA HIDEO

(54) MEMORY CONTROLLER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a memory controller provided with an output buffer having driving capacity suitable for load capacity of an output line. SOLUTION: The memory controller 10 is provided with plural output buffers 11 respectively outputting memory control signals, a common driving capacity detection circuit 15 outputting driving capacity control signals based on the signal waveform on the output lines 13 connected to the output ends of respective output buffers and a common output buffer variable circuit 16 adjusting the driving capacity of the output buffers according to the driving capacity control signals. By adjusting the driving capacity of the output buffers 11 matched with the load capacity of respective output lines 13, the control signal having an optimum signal waveform is obtained. The malfunction of a memory 12 is reduced, and further, the design of the output buffer 11 is simplified.



LEGAL STATUS

[Date of request for examination]

06.08.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3022777

[Date of registration]

14.01.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国格新庁(J P)

(12) 公開 存。

公期(A)

(11)特許出國公開發号

特開平10-50070

(43)公開日 平成10年(1998) 2月20日

	101F	19/00	H03K			19/0175	H03K
	3540	11/34	G11C			27/10	H01L
		27/10	H01L			11/409	
	305	11/34	G11C			11/417	G11C
技術表示恆所			F I	庁内整理番号	多四四年		(51) Int (1.5)
					:		

製化屋の数4 01 圕

(±) 5

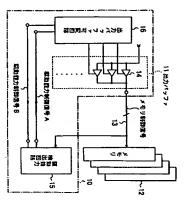
平成8年(1996)8月6日 **年原平8-208718** (74)代 對人 中學士 经各种基本 (71)出版人 000180541 (72) 発明者 板煤 英夫 新撰県柏崎市大学安田7546番地 新四日本電気株式会社 网络株式母乳内 新鸡果柏崎市大学安田7546番地 新鸡日本

(22) HEEE B (21) 出票等

(54) 「発見の名祭」 メモリコントローラ

有する出力パッファを備えるメモリコントローラを梳供 【課題】 出力ラインの負荷容量に適応した駆動能力を

り、最適な信号波形を有する制御信号が得られる。メモ 路16とを具備する。各出力ライン13の负荷容量に合 リ12の観動作が減少し、また、出力パッファ11の設 わせて出力パッファ11の駆動能力を調整することによ ッファの駆動砲力を調整する共通の出力パッファ可変回 協力検出回路15と、緊動協力慰御信号に従って出力パ **改形に基づいて駆動能力制御信号を出力する共通の駆動** カペッファの出力場に接続された出力ライン 13の信号 リ制御信号を出力する複数の出力パッファ11と、各出 【解決手段】 メモリコントローラ10は、夫々がメモ



BEST AVAILABLE COPY ---

【特許請求の領囲】

8

特開平10−50070

Ý

段とを具備したことを特徴とするメモリコントローラ。 信号液形に基づいて駆動能力制御信号を出力する駆動能 前記出力パッファの駆動能力を調整する駆動能力調整手 と、核田力バッファの田力福に接続された田力ラインの 力制御信号生成手段と、前記駆動能力制御信号に従って 【請求項1】 メモリ制御信号を出力する出力パッファ 【請求項2】 前記出力パッファが複数のパッファ架子

ランジスタ及び放電用トランジスタを夫々個別に制御す スタから成り、前記駆動能力顕整手段は、前記光電用ト れる複数のパッファ素子の個数を選択することにより前 イン充電用トランジスタ及び出力ライン放電用トランジ 記調整を行う、請求項1に記載のメモリコントローラ。 【請求項3】 前記複数のバッファ累子は夫々、出力ラ

から構成されており、前記駆動能力調整手段は、駆動さ

の出力パッファに共通に配設され、各出力パッファに対 応する短動能力制御信号を順次に出力する、請求項17. 強 3 の何れか一に記載のメモリロントローラ。 る、欝状頃2に記録のメモリコントローラ。 【請求項 4】 前記駆動館力制御信号生成手段は、複数

20

【発用の詳細な説明】

ラに関し、特に、出力パッファの電流駆動能力を可変と したメモリコントローラに関する。 【発明の属する技術分野】本発明は、メモリコントロー

出力パッファ回路20の駆動能力を使用条件に合わせて 制御信号に基んいて、出力ラインの駆動時に、前記=方 **イン22の慰虧時にオンとし、他方は、外部から与える** 駆動能力を2段階に制御する。つまり、パッファ回路2 することにより、出力最終段を成すパッファ回路24の 入力編子 5 3 にHフベラ又はLフベラの慰録信号を供給 には、この形式の出力パッファ回路が記載されており、 が知られている。例えば、特開平5-67961号公頼 2段階に変える構成である。 と共にオンとし、又は、常にオフに保る。これにより、 4の相互に並列に接続されたインバータの一方を出力ラ これを図4に示す。出力バッファ回路20は、制御信号 【従来の技術】駆動能力を可変とした出力バッファ回路

カラインの負荷容量が特に大きへなるため、出力パッフ バンク構成のメモリでは、メモリコントローラの出力ラ ク構成のメモリが採用される傾向にある。このような多 用されるメモリの容貴が益々大きへなり、弊に、多べン 合、上記公報記載の出力パッファ回路を採用することも 7の駆動能力を可変とする要請が特に大きい。この場 **インに依続されるメモリのバンク数が多ごことから、田** 考えられる。 [0003] ところで、コンピュータシステムでは、使

[0004]

【発明が解決しようとする課題】しかし、上記公報記載 SO

出力バッファが選択された後には、2段階での制御は回 るトランジスタを選択することに変りはない。つまり、 必要な動作速度を勘案してそれに見合う駆動能力を有す の出力パッファ回路は、駆動能力が2段階に制御できる ものであるが、何れにしても、接続される負荷容量及し

り、出力パッファの設計を簡素化すると共にメモリの観 動作等の発生を防止できるメモリコントローラを提供す 容易に出力可能とした出力パッファを有することによ ることを目的とする。

応じて変えることは出来ない。

【0005】本発明は、負荷容量に見合った駆動能力を

続いあるものの、田力バッファの駆動能力を負荷容量に

[0006]

整する駆動能力調整手段とを具備したことを特徴とす 統された田七ワインの信号液形に基心で、騒動能力動御 能力制御信号に従って前記出力ペッファの駆動能力を開 信号を出力する駆動能力制御信号生成手段と、前記駆動 出力する出力パッファと、蘇出力パッファの出力幅に接 め、本発明のメモリコントローラは、メモリ制御信号を 【陳題を解決するための手段】上記目的を発生するた

成し、駆動能力調整手段は、駆動される複数のバッファ **様では、上記田力パッファを複数のパッファ繋子から構 菜子の個数を選択することにより前記調整を行うように** 【0007】本発明のメモリコントローラの好ましい館

ンジスタ及び放電用トランジスタを夫々個別に制御する ことも好ましい態様である。この場合、特に最適な信号 ンジスタから構成し、駆動能力調整手段は、充電用トラ カライン充電用トランジスタ及び出力ライン放電用トラ 【0008】また、上記複数のパッファ寮子を失々、出

の負荷容量の大小に関わらず最適な駆動能力を実現する 等の発生を防止することができる。 ンダーシュート等のノイズが発生せず、メモリの麒動作 いとが出来る。いのため、過大なオースーシュートや1 【0009】本発明のメモリコントローラによると、そ

いて本発明を更に詳細に説明する。図1は、本発明の一 に接続されている。なお、同図には、便宜上唯10の出 モリ12が、メモリ朝御信号を伝達する出力ライン13 カバッファ11及び出力ライン13を示したが、これら ア11の負荷を構成する共通接続された多数パンクのメ リシステムでは、メモリコントローラ10の出力パッフ テムを示すプロック図である。同図において、このメモ 実施形態例のメモリコントローラ10を含むメモリシス 【発明の実施の形態】以下、本発明の実施形態例に揺ん [0010]

メモリ制御信号を出力する複数の出力パッファ11と、 【0011】メモリコントローラ10は、失々が1つの

は、制御信号の数だけ配設される。

の駆動能力を順次に調整する機能を有する。 た多数のパッファ14を制御して、各出力パッファ11 及びBを受けて、各出力パッファ11内で並列接続され る。出力パッファ可変回路16は、駆動能力制御信号A 3に対応する駆動能力制御信号A及びBを順次に出力す 御信号を履衣に枝出し、それに揺んいた各田カライン 1 類的又は間欠的に作動し、各出力パッファ11から出力 各制御信号毎に行われる。駆動能力検出回路15は、周 能力が最大になるように選択しておくことにより、出力 ライン13を組由してメモリ12に出力されるメモリ制 バッファ11の駆動能力が最適な値になるような制御が 負荷容量の大きさに関らず、各出力パッファ11の駆動 【0012】メモリシステム構築時には、メモリ12の 20

げるために、所定の駆動能力制御信号A及びBを出力す いる田力ラインの田力ベッファの駆動協力を1ランク下 出し、その検出結果から、メースーツェートが発生した 路はいのオーバーシュートを所定の基準値と比較して検 **バーシュードが発生しているときには、駆動能力検出回** 駆動能力の大きさの各場合に対応する出力ラインの信号 ファの緊動能力が大きいために、成る出力ラインにオー 被影を示す。図2(a)に示す場合のように、出力バッ コントローラの動作を説明するための、出力パッファの 【0013】図2 (a) ~ (d) は夫々、図1のメモリ ö

るまで繰り返され、過大なオーパーシュートがない信号 動能力を1ランク下げる。つまり、並列に接続されてい 動能力製御信号A及びBに組んいて、出力パッファの数 7 可変回路に送られ、出力パッファ可変回路は、この駆 する。この動作は、図2(b)に示す信号被形が得られ る多数のスッファの内の1011011人、その影響を存引 【0014】駆動能力制御信号A及びBは、出力パッフ ô

館力を1ランク下げる。つまり、並列に接続されている 回路は、この起御信号に基んいた、田カベッファの疑問 は、出力パッファ可変回路に送られ、出力パッファ可変 御信号A及びBを出力する。駆動能力制御信号A及びB の駆動館力を1ランク下げるために、所定の駆動能力制 出回路は、所定の基準値と比較してこれを検出し、アン なアンダーシュートが生じている場合にも、駆動能力核 ダーシュートが現在している出力ラインの出力パッファ 【0015】また、出力ラインに図2 (c)に示すよう SO

> ů るまで繰り返され、過大なアンダーシュートがない信号 多数のパシファの内の10に0いれ、 その路壁を存引す この動作は、図2(b)に示すような故形が得られ

る。つまり、出力パッファ内で駆動されるパッファを1 力する。出力ペッファ可変回路は、この駆動能力制御信 を1ランク上げるために駆動能力制御信号A及びBを出 が小さすぎる場合には、駆動能力検出回路は、駆動能力 号に基乙いて出力パッファの駆動能力を1ラツク上げ 【0016】また、図2 (d) に示すように、駆動能力

先に示したオースーシュート又はアンダーシュートを偏 出力ラインから放電するNチャネパトランジスタとを、 めに、田ガラインを充稿するPチャネルトランジスタと 個別(単独)に追加駆動することも出来る。この場合、 するパッファの場合には、より最適な信号故形を得るた

における駆動能力制御信号の故形をタイパングチャート 期間と、制御信号の出力の終了を告知する終了告知期間 カライン毎の制御信号を順次に出力する各制御信号出力 間は、制御信号の出力を予告する開始予告期間と、各出 とから成る。 間隔をおいて周期的に出力されるもので、その各出力期 で示している。駆動能力制御信号は、例えば所定の時間 【0018】図3は、図1に示したメモリコントロージ

出力される旨を予告する。各慰御信号出力規則では、慰 ックの間に出力される2ピットの信号として構成され 信号Bが出力される。つまり、個別制御信号は、2クロ 制御ラインに対応する個別制御信号を成す駆動能力制御 御信号Aがクロックを構成し、2クロックの間に1つの り、次に各出力ラインに対応する個別の駆動制御信号が レベルとし駆動制御信号Bを4クロック送る。これによ

ロック基因エフスラハヤのクロック基因してスラいめる 示している。 図示の場合では、RASo、RASi、CASo、プドレ 現状の駆動能力が適当であることを意味する。 従って、 動能力が低いため駆動能力を1ランク上げる必要がある があることを意味する。また、個別制御信号が最初のク 在の駆動能力が高いので駆動能力を1ランク下げる必要 い」、「低い」、「適当」、「高い」、「低い」ことな ス、及び、データは、夫々、現在の駆動能力が「高 ことを意味し、同様に、個別制御信号=(L、L)は、 ことは、つまり個別制御信号=(H、L)は、現在の駆 あることは、つまり、個別制御信号=(H、H)は、現

クロックを構成し、4クロックの問駆動能力制御信号A 【0021】終了告知期間には、駆動能力制御信号Bが

別に且つ実質的に発に出来る。 【0017】なお、例えばCMOSトランジスタを採用

【0019】開始予告期間では、駆動制御信号Aをロウ

【0020】個別制御信号が2クロック期間Hレベディ

をHレベルとする。これによって、駆動制御信号の出力

本発明の範囲に含まれる。

【発明の効果】以上、説明したように、本発明のメモリ

£

特開平10−50070

得られるまで繰り返される。 **調整を行う。まず、各出力ライン毎に駆動能力を上げる** ファの駆動能力顕整は、各制御信号で最適な信号液形が せ又は維持する。この駆動信号波形の検出及び出力パッ て、各出力パッファにおける並列パッファの数を始放さ **やの忆倒フジメタご珞娑し、この忆思フジメタご相心。** か、下げるか、又は、現状維持とするかの制御の内容を 信号A及びBに基づいて、各出力バッファの駆動能力の

は、夫々がメモリ制御信号を出力する複数の出力パッフ 出力パッファの設計が困難なあった。 と及びばらつくことに起因して、メモリコントローラの 作が防止できる。従来は、メモリの負荷容量が大きいこ **吸適な信号波形を個別に得ることが出来る。これによっ 〜異なるメモリロントローラ間な共通につらら、失々に て、出力バッファの設計が簡素化され且つメモリの認要** ァについて、その構成自体は、出力パッファ相互間で目

可変回路を設けた例を示したが、これに代えて、各出力 インに対して共通の駆動能力検出回路及び出力パッファ 可変回路を設けてもよい。 ライン毎に各1 つの駆動能力検出回路及び出力パッファ 【0024】なお、上記実施形態例では、多数の出力ラ

のみ限定されるものではなく、上記実施形態例の構成か んい人説明したが、本発明は、上記実施形態例の構成に **ら極々の存正及び変更を施したメモリコントローラも、**

【0022】出力パッファ可変回路では、駆動能力制御

【0023】上記実施形版例のメモリコントローラで

御信号の故形を示すタイミングチャート。

【図3】図1のメモリコントローラにおける駆動能力制 【図2】図1のメモリコントローラの作用をを説明する

【図4】従来の出力パッファ回路のプロック図

ための影響信号の被形図。

【0025】以上、本発明をその好適な実施形態例に基

(図 | |

70

ず、メモリの殷動作等の発生を防止することもできる。 シュートやアンダーシュートに超因するノイメが発生せ コントローラを容易に実現でき、また、過大なオーバー 別に考慮することなく、適切な駆動能力を有するメモリ コントローラによると、メモリの負荷容量の大きさを仮

【図面の簡単な説明】

【図1】本発明の一実施形態例のメモリコントローラの

プロック図。

0 出力ペッファ メモリコントローラ

[符号の説明]

1 3 メキジ 出七レイン

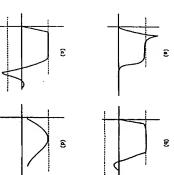
14 パッファ栗子 駆動能力検出回路

20 16 入力端子 出力パッファ回路 出力パッファ可変回路

24 最終段出力パッファ 制御信号入力協子

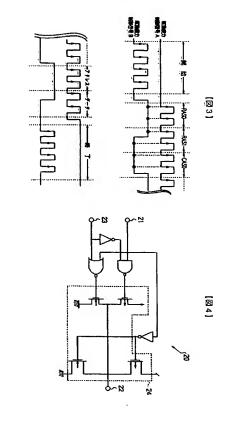
出力竭子

∄セズッファ 単数回路 据的能力制物选号 8 核出回路 質性病化



3-

V



特開平10-50070

9

-5-

4